

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 6 月 16 日 (16.06.2005)

PCT

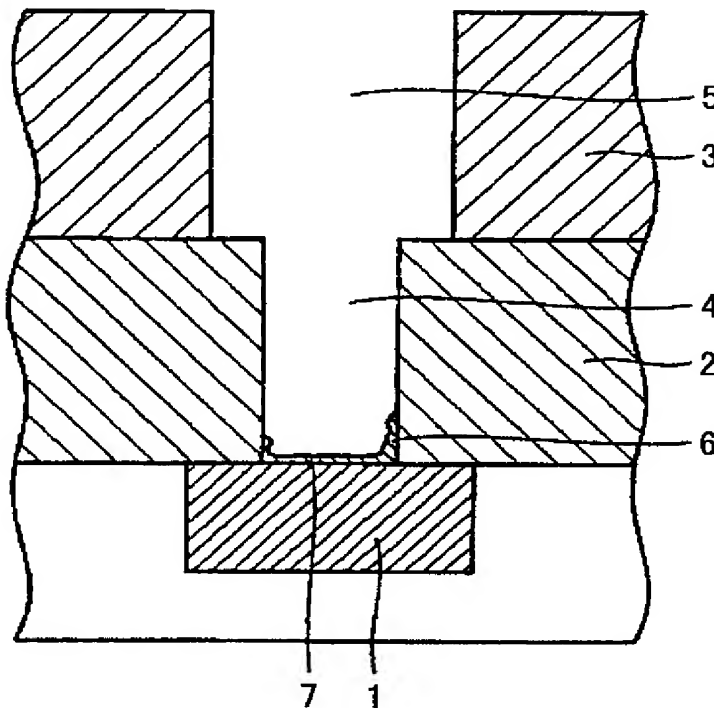
(10) 国際公開番号  
WO 2005/055305 A1

- (51) 国際特許分類: H01L 21/3065 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2004/018066 (75) 発明者/出願人 (米国についてのみ): 佐々木 勝  
(22) 国際出願日: 2004 年 12 月 3 日 (03.12.2004) (SASAKI, Masaru) [JP/JP]; 〒6600891 兵庫県尼崎市  
(25) 国際出願の言語: 日本語 扶桑町 1 番 8 号 東京エレクトロン A T 株式会社内  
(26) 国際公開の言語: 日本語 Hyogo (JP). 井出 真司 (IDE, Shinji) [JP/JP]; 〒6600891  
(30) 優先権データ: 特願2003-406441 2003 年 12 月 4 日 (04.12.2003) JP 兵庫県尼崎市扶桑町 1 番 8 号 東京エレクトロン  
(71) 出願人 (米国を除く全ての指定国について): 東京エ A T 株式会社内 Hyogo (JP). 尾▲崎▼成則 (OZAKI, Shigenori) [JP/JP]; 〒6600891 兵庫県尼崎市扶桑町  
レクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒1078481 東京都港区赤坂五丁目 3 番 6 号 1 番 8 号 東京エレクトロン A T 株式会社内 Hyogo  
Tokyo (JP). (JP).
- (74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデン  
プレイスタワー 3 2 階 Tokyo (JP).

[続葉有]

(54) Title: METHOD OF CLEANING SEMICONDUCTOR SUBSTRATE CONDUCTIVE LAYER SURFACE

(54) 発明の名称: 半導体基板導電層表面の清浄化方法



(57) Abstract: A method of cleaning semiconductor substrate conductive layer surface which can remove a residual organic material and a natural oxide satisfactorily and does not adversely affect a k value without damaging the side-wall insulation film of a via hole. A semiconductor device, comprising insulation films (2, 3) formed on the surface of the conductive layer (1) of a semiconductor substrate and a via hole (4) formed in the insulation film (3) to partly expose the conductive layer (1), is carried into a reaction vessel, plasma including hydrogen is generated in the reaction vessel to clean the surface of the conductive layer (1) at the bottom of the via hole (4), a residual organic material (6) is decomposed and removed by ashing, and a copper oxide film (7) on the surface of the conductive layer (1) is reduced to Cu.

(57) 要約: 残渣有機物や自然酸化物を十分に除去でき、且

つ、ビアホールの側壁絶縁膜にダメージを与えることなく、k 値に悪影響を与えることがない半導体基板導電層表面の清浄化方法を提供する。半導体基板の導電層 1 表面上に絶縁膜 2, 3 が形成され、絶縁膜 3 には導電層 1 の一部を露出するビアホール 4 が形成された半導体装置を反応容器内に搬入し、反応容器内に水素を含むプラズマを発生させて、ビアホール 4 底部の導電層 1 上を清浄化し、アッシングにより残渣有機物 6 を分解除去し、導電層 1 表面上の銅酸化膜 7 を Cu に還元する。

WO 2005/055305 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### 半導体基板導電層表面の清浄化方法

#### 技術分野

- [0001] 本発明は、半導体基板導電層表面の清浄化方法に関し、例えば、ビアホールと配線部とを同時に形成する二重ダマシン構造のビアホール底部に露出している導電層表面を清浄化する方法に関する。

#### 背景技術

- [0002] 従来、半導体装置では配線を加工してから層間絶縁膜を堆積、平坦化する方法が用いられている。これに対して異なる概念として、ビアホールと配線用溝とを同時に形成する二重ダマシン(Dual Damascene)構造がある。この構造では、ビアホールと配線用溝とを同じ材料に統一できるので接続孔界面抵抗の低減、エレクトロマイグレーション耐性向上が実現できるという特徴がある。特に、二重ダマシン構造では、常に平坦面に層間絶縁膜を堆積するため、これまで配線間にボイドを形成しないように、膜被覆性を改善してきた要求が不要になるなどの特徴がある。

特許文献1:特開2002-26121号公報(段落番号0031、図6)

#### 発明の開示

#### 発明が解決しようとする課題

- [0003] このような二重ダマシン構造の製造工程には、ビアホール底部に露出する導電層表面の洗浄化工程が含まれる。ビアホール底部の導電層表面には、フォトリジストなどの有機物のエッチング残渣が存在していることが多い。また、導電層表面には不可避免的に自然酸化膜が形成されてしまう。例えば、導電層が銅の場合、酸化銅(CuO)が現れる。このような残渣有機物や酸化物の存在は、ビアホール部における電気抵抗を大きくしてしまうという問題点がある。
- [0004] 特許文献1には、低密度誘電率膜の表面をプラズマ処理し緻密な表面改質層を形成することにより、ビアホール部の電気抵抗が増大するのを阻止することについて記載されている。
- [0005] また、特許文献1に記載されている方法以外の従来の方法として、ビアホール底部

に露出した導電層表面を清浄化する方法がある。この方法ではアルゴンイオンを打ち込むことにより残渣有機物を分解して除去しているが、清浄化が不十分である。アルゴンイオンの打ち込みだけではアッシングをしていないので、残渣有機物を完全には除去できない。また、自然酸化物も除去することができない。さらに、アルゴンイオンを打ち込む際にビアホール側の側壁絶縁膜にダメージを与えてしまい、誘電率(k値)に悪影響を与えてしまうという問題がある。

[0006] 本発明の主たる課題は、残渣有機物や自然酸化物を十分に除去でき、ビアホールの側壁絶縁膜にダメージを与えることなく、誘電率(k値)に悪影響を与えることがない半導体基板導電層表面の清浄化方法を提供することである。

#### 課題を解決するための手段

[0007] 本発明の一特徴に従った清浄化方法は、反応室内に置かれた半導体基板上の導電層表面を清浄化する方法であって、反応室内に水素を含むプラズマを発生させ、導電層表面をこのプラズマによって還元しながら清浄化方法である。

[0008] このように反応室内に水素を含むプラズマを発生させ、導電層表面をこのプラズマによって還元しながら清浄化することより、酸化膜を除去できるので、電気抵抗が高くなることなく、誘電率(k値)も大きくすることなく清浄化できる。

[0009] 導電層表面上に存在する残渣有機物をプラズマによってアッシングすることで残渣有機物を除去してもよい。

[0010] 導電層表面上に絶縁膜が形成され、絶縁膜には導電層の一部を露出するビアホールが形成されていて、ビアホール底部に露出する導電層表面をプラズマによって清浄化することができる。

[0011] 絶縁膜上にさらに上層絶縁膜が積層され、この上層絶縁膜には、ビアホールを露出する配線用溝が形成されていて、上層絶縁膜の形成後に、露出した導電層表面をプラズマによって洗浄化することもできる。

[0012] 清浄化する工程は、低電子温度の高密度プラズマ処理によって行うこともできる。

[0013] 高密度プラズマ処理は、マイクロ波に基づいて反応容器内に均一な電界を分布させて高密度プラズマを発生させる。

[0014] プラズマ処理は、水素とヘリウムとを含む混合ガスの雰囲気下で行われ、水素に対

するヘリウムの比率が0.005〜20に選ぶことができる。

### 図面の簡単な説明

- [0015] [図1]本発明に従った清浄化方法の実施に用いることができるプラズマ基板処理装置の断面図である。
- [図2]図1に示したプラズマ基板処理装置内に設置されたスロット板の一部破断斜視図である。
- [図3]半導体基板上の二重ダマシン構造を示す断面図である。
- [図4]各種処理ガスのアッシングレートを示す図である。
- [図5A]各種処理ガスにより処理した場合の絶縁膜のk値示す図である。
- [図5B]各種処理ガスにより処理した場合の絶縁膜の $\Delta k$ を示す図である。
- [図6]各種処理ガスのSiOCHに対するエッチングレートを示す図である。
- [図7] $\text{He}/\text{H}_2$  ガスのフローレシオを示す図である。
- [図8] $\text{N}_2/\text{H}_2$  ガスのフローレシオを示す図である。
- [図9] $\text{He}/\text{H}_2$  ガスを用いたプラズマをCuOに照射したときの照射時間に対する酸素還元特性を示す図である。
- [図10]本発明に従った清浄化方法の実施工程を示すフローチャートである。

### 発明を実施するための最良の形態

- [0016] 本発明の実施の形態について、図面に基づき以下に説明する。
- [0017] 図1は、本発明に従った、二重ダマシン構造を清浄するために使用される高密度プラズマ処理装置10の断面図である。図2は、図1に示した高密度プラズマ処理装置内に設けられたスロット板の一部破断斜視図である。
- [0018] 高密度プラズマ処理装置10は、二重(dual)ダマシン構造の半導体ウエハWを保持する基板保持台12が設けられた処理容器11を含む。処理容器11内の気体(ガス)は、排気口136、排気室137、排気パイプ134を経て、排気パイプ135から排気システム124によって排気される。なお、基板保持台12は半導体ウエハWを加熱するヒータ121を有している。ヒータ121は、外部にあるヒータ電源122により駆動される。
- [0019] 処理容器11の装置上方(上側)には、基板保持台12上の半導体ウエハWに対向

して開口部が設けられている。この開口部は、石英や酸化アルミニウム、窒化アルミニウムからなる誘電体板13により気密に封止されている。誘電体板13の上部(外側)には、図2に示すようなアンテナ(平面アンテナ)として機能するスロット板14が配置されている。

[0020] スロット板14は、例えば円板状の薄板銅板に金属又は銀メッキされた円形導体板141を含み、円形導体板141には多数のT型のスリット142が同心円状に形成されている。またスリットは半径方向に放射状に形成され、スリット142間の間隔は、 $\lambda g/2$  または  $\lambda g$  とするのが好ましい。これらのスリット142により処理容器11内の空間に対して均一な電界分布が形成される。

[0021] スロット板14のさらに上部(外側)には、石英、アルミナ、窒化アルミニウムなどからなる誘電体板15が配置されている。この誘電体板15は、遅波板または波長短縮板と呼ばれることがあり、マイクロ波の伝播速度を低下させることにより波長を短くしてスロット板14から放射されるマイクロ波の伝播効率を向上させる。誘電体板15の上部(外側)には、スロット板14及び誘電体板15を覆うように導体(アルミニウムやステンレスチール等)のカバー部材16が配置されている。

[0022] カバー部材16の内部には、冷媒が流れる冷媒路16aが設けられ、誘電体板13及びスロット板14を冷却することにより部材の破損等が抑制される。また、処理容器11の上端中央には、マイクロ波発生源128からのマイクロ波を導入するための矩形導波管132及び同軸導波管132が設けられている。処理容器11の壁には、ガスを導入するためのガスノズル22が設けられており、図示のような各種ガスを供給できる。

[0023] ゲートバルブ125を開くことにより、搬入口133から半導体ウエハWを搬出入可能である。

[0024] 処理容器11の壁外側には、容器全体を囲むように冷媒流路24が形成されている。ガス供給源130、排気システム124及びヒータ電源122等は、制御装置120により制御される。制御装置124の内部にはCPU、ROM・RAM等のメモリ記憶媒体、ハードディスク、CDROMドライバー、入出力装置等(図示せず)が設けられている。本発明に従った半導体基板導電層表面の清浄化方法を実行するためのソフトウェアをハードディスクやROMに記憶しておくか或いはCDROM等により外部から供給してR

AMへと転送することにより、制御装置124内のCPUが本発明に従った清浄化方法を実行することができる。

[0025] 図3は二重ダマシン構造を示す断面図である。図3において、Cu配線層である導電層1上にSiCOHなどの低誘電率(low k)膜からなる層間絶縁膜2, 3が形成されている。層間絶縁膜2には接続部となるビアホール4が形成され、ビアホール4の底部には導電層1の一部が露出している。層間絶縁膜3にはビアホール4を露出する配線用溝5が形成されている。ビアホール4および配線用溝5はエッチングにより形成されるが、その際に導電層1表面にはフォトレジストなどの残渣有機物6が存在するとともに、銅酸化膜(CuO)7が形成されてしまう。

[0026] 本発明では図1および図2に示した高密度プラズマ処理装置10の処理容器11内に二重ダマシン構造を有する基板を搬入し、処理容器11内に水素を含むガスを導入し、ガスが導入された処理容器11内で水素を含むプラズマを発生させて、反応容器内の圧力と、水素を含むプラズマの発生時間を制御することにより、層間絶縁膜2, 3の側壁の残渣有機物6をアッシングにより分解、除去するとともに、ビアホール4の底部に露出した導電層1表面の銅酸化膜7を銅(Cu)に還元する。

[0027] 高密度プラズマ処理装置10によりプラズマを発生させて残渣有機物6を除去するために、Ar/O<sub>2</sub>/Heガス、Ar/N<sub>2</sub>/H<sub>2</sub>ガス、Ar/He/H<sub>2</sub>ガスなどの処理ガスを使用することが考えられるが、より好ましくは、Ar/He/H<sub>2</sub>ガス雰囲気下で、高密度プラズマ処理装置10によって低電子温度(0.7eV〜2eV)で $10^{11} \sim 10^{13} / \text{cm}^2$ の高密度プラズマ処理することにより残渣有機物6をアッシングすることにより、層間絶縁膜2, 3にダメージを与えたり、k値を大きくすることなく、残渣有機物6を分解して除去することができ、且つ、銅酸化膜7を銅に還元することができる。

[0028] 図4は、処理容器11内に導入されるAr/O<sub>2</sub>/Heガスと、Ar/N<sub>2</sub>/H<sub>2</sub>ガスと、Ar/He/H<sub>2</sub>ガスのそれぞれの流量比を1000/200/200sccmに選び、処理容器11内の圧力500mTorr、マイクロ波の出力1.5kW、誘電体板13と基板Wとの間のギャップ105mm、処理容器11内の温度250℃の条件でフォトレジストをアッシングした場合のアッシングレートと比較したものである。この図4から酸素を含むAr/O<sub>2</sub>/Heガスが最もアッシングレートが高くなっており、続いてAr/N<sub>2</sub>/H<sub>2</sub>ガス、Ar/He/

H<sub>2</sub> ガスの順になっている。

[0029] また、図5A及び図5Bは、処理ガスによるk値及びΔk値を示すものである。具体的には、図5Aは、Ar単ガス、Ar/N<sub>2</sub>/H<sub>2</sub>ガス、Ar/He/H<sub>2</sub>ガスの各処理ガスにより室温で処理した場合のk値、200℃の温度で処理した場合のk値を示している。図5Bは、それら両k値の差Δkを示す図である。左縦軸は、それぞれk値及びΔkを示している。

[0030] 図5Aにおいて、Ar単ガスの場合、室温処理におけるk値と200℃処理におけるk値との差Δkが0.15程度で小さい。Ar/N<sub>2</sub>/H<sub>2</sub>ガスでは、室温処理におけるk値と200℃処理におけるk値との差Δkが約0.35程度で大きく、Ar/He/H<sub>2</sub>ガスでは、室温処理におけるk値と200℃処理におけるk値との差Δkが0.12程度で最も変化が小さくなっている。Arガスは差Δkが0.15程度で最も小さな値になっているが、従来例で説明したように有機物残渣6を完全に除去し切れない。したがって、同じH<sub>2</sub>を含むガスであっても、Ar/N<sub>2</sub>/H<sub>2</sub>ガスに比べてAr/He/H<sub>2</sub>ガスのようにΔkが少ない方が、プラズマに晒したときにk値を大きくすることがないので残渣有機物6のアッシングに適しているといえる。また、k値を上げずLowk膜(低誘電膜)へのプラズマダメージを生じない条件が好ましい。

[0031] さらに、図6は各処理ガスのSiOCH(層間絶縁膜)に対するエッチングレートを示す図である。図6において、Arガス、Ar/N<sub>2</sub>/H<sub>2</sub>ガス、Ar/He/H<sub>2</sub>ガスは、いずれもエッチングレートが約200Å/min以下で小さいのに対して、Ar/O<sub>2</sub>/Heガス、Ar/O<sub>2</sub>/N<sub>2</sub>ガス、Ar/O<sub>2</sub>ガスのように酸素を含むガスのエッチングレートは約1900(オングストロームÅ)/minであり、大きい値になっている。この対比から、Ar/O<sub>2</sub>/Heガス、Ar/O<sub>2</sub>/N<sub>2</sub>ガス、Ar/O<sub>2</sub>ガスに比べて、ArガスやAr/N<sub>2</sub>/H<sub>2</sub>ガスやAr/He/H<sub>2</sub>ガスの方がエッチングレートが小さく、そのうちAr/He/H<sub>2</sub>ガスが最もエッチングレートが小さく層間絶縁膜2,3に対するダメージが小さいことがわかる。

[0032] これらの比較からAr/O<sub>2</sub>/Heガスは、図4で説明したようにアッシングレートが高く残渣有機物6の除去には適するが、エッチングレートも高いので層間絶縁膜2,3の側壁がエッチングされてしまい、側壁に対するダメージが大きくなってしまうので処理ガスとして使用するには不適當である。



- [0033] これに対して、Ar/He/H<sub>2</sub>ガスやAr/N<sub>2</sub>/H<sub>2</sub>ガスは、図4に示すようにアッシンググレートは小さいが、図6に示すようにエッチングレートも小さいので層間絶縁膜2,3に対するダメージが小さく処理ガスとして適当と言える。このうち、Ar/He/H<sub>2</sub>ガスとAr/N<sub>2</sub>/H<sub>2</sub>ガスとを比較すると、図5に示すようにAr/N<sub>2</sub>/H<sub>2</sub>ガスに比べてAr/He/H<sub>2</sub>ガスの方がΔkが小さいので、Ar/He/H<sub>2</sub>ガスを処理ガスとして用いるのがアッシングに最適と言える。
- [0034] 図7はAr/He/H<sub>2</sub>ガスのH<sub>2</sub>ガスに対するHeガスのフローレシオを示す図である。図7に示すように、H<sub>2</sub>ガスに対するHeガスのフローレシオが0.0〜0.5付近ではk値がほぼ2.36であるのに対して、フローレシオが0.5付近からk値が低下し、0.7〜1.75付近ではk値がほぼ2.35以下の低い値を示しており、H<sub>2</sub>に対してHeをこの比率で選ぶのがk値を小さくする上で好ましいと言える。これはHラジカルが残渣物の分解に寄与するのみであるためであると考えられる。
- [0035] 図8はAr/N<sub>2</sub>/H<sub>2</sub>ガスのH<sub>2</sub>に対するN<sub>2</sub>のフローレシオを示している。図8に示すように、H<sub>2</sub>ガスに対してN<sub>2</sub>ガスのフローレシオが0.0〜0.5付近ではk値が2.37〜2.55の値を示しているが、フローレシオが0.5〜1.0のように大きくなるほどk値も2.55〜2.6というように変化が大きくなっている。これはNラジカルが絶縁膜の中に導入されるためであると考えられる。
- [0036] これらの比較から、Ar/N<sub>2</sub>/H<sub>2</sub>ガスに比較して、Ar/He/H<sub>2</sub>ガスの方がフローレシオの変化に対してのk値の変化が小さいことが分かる。これらの対比からAr/He/H<sub>2</sub>ガス雰囲気下で、高密度プラズマ処理装置10により図3に示したデュアルダメージ構造を有する基板を低電子温度で高密度プラズマ処理によって残渣有機物6をアッシングすることにより、最も効果的に層間絶縁膜2,3にダメージを与えることなく、k値を大きくすることなく残渣有機物6を分解して除去することができる。
- [0037] 図9は上記He/H<sub>2</sub>ガスを用いたプラズマを銅酸化膜7に照射したときの酸素還元特性を示す図であり、縦軸は酸素含有量(原子%)を示している。
- [0038] 図9に示すように銅酸化膜7では酸素が35原子%含まれているのに対して、He/H<sub>2</sub>プラズマをCuOに5sec晒すと5原子%まで酸素含有量が低下しており、さらに10sec, 20sec晒すと酸素含有量が5原子%を維持しているが、さらに30sec〜60sec

ー180sec晒すと、ほぼ酸素が0原子%まで減少しており、銅酸化膜7が還元されてCuになっており清浄なCuの表面を形成することができることがわかる。

[0039] したがって、最も好ましくは実施形態として、Ar/He/H<sub>2</sub> ガスのように水素を含むプラズマを発生させて低電子温度で高密度プラズマでアッシングすることにより、酸化絶縁膜2, 3の壁面の残渣有機物6を除去し導電層1表面の銅酸化膜7をCuに還元するのが最適であることがわかる。好ましい条件は、Ar:500~3000sccm; He:50~1000sccm; H<sub>2</sub>:50~1000sccm; 圧力:100mmTorr ~ 5Torr 出力:0.5~3kW 温度:室温以上、500℃以下 処理時間:20秒以上、600秒以下である。

[0040] 図10のフローチャートを参照しながら本発明に従った清浄化方法の実施工程を簡単に説明する。

[0041] 真空引き(S10)した後に処理容器11に続く隣接チャンバー(図示せず)から、搬入口133を通じて二重ダマシ構造を有する基板Wを処理容器11内にセットする(S12)。ガス源130から代表的にAr/He/H<sub>2</sub> ガスを処理容器11内に供給する(S14)。マイクロ波発生源128からマイクロ波を処理容器11内に伝搬させ、プラズマを発生させる(S16)(条件:低電子温度(0.7eV~2eV)で $10^{11} \sim 10^{13} / \text{cm}^2$ の高密度プラズマ処理)。水素を含むプラズマの発生時間を制御することにより、層間絶縁膜2, 3の側壁の残渣有機物6をアッシングにより分解、除去する(S18)とともに、ビアホール4の底部に露出した導電層1表面の銅酸化膜7を銅(Cu)に還元する。この後、プラズマを停止し(S20)、真空引き(S22)してから、基板Wを処理容器11の外に排出する(S24)。

[0042] なお、本発明はフォトレジストなどの残渣有機物6を清浄して除去するのみならず、タングステン、銅、WSi, NiSi, CoSi 等の金属シリサイドなどの配線部に露出している導電層表面を清浄する場合にも適用できる。

[0043] 図面を参照して本発明の一実施形態を説明したが、本発明は、図示した実施形態に限定されるものではない。

#### 産業上の利用可能性

[0044] 本発明は、半導体装置を処理容器11内に搬入し、処理容器11内に水素を含むプラズマを発生させて、ビアホール4底部の導電層1上を清浄化し、アッシングにより残

渣有機物6を分解除去し、導電層1表面上の銅酸化膜7をCuに還元するプラズマ基板処理装置に利用できる。

## 請求の範囲

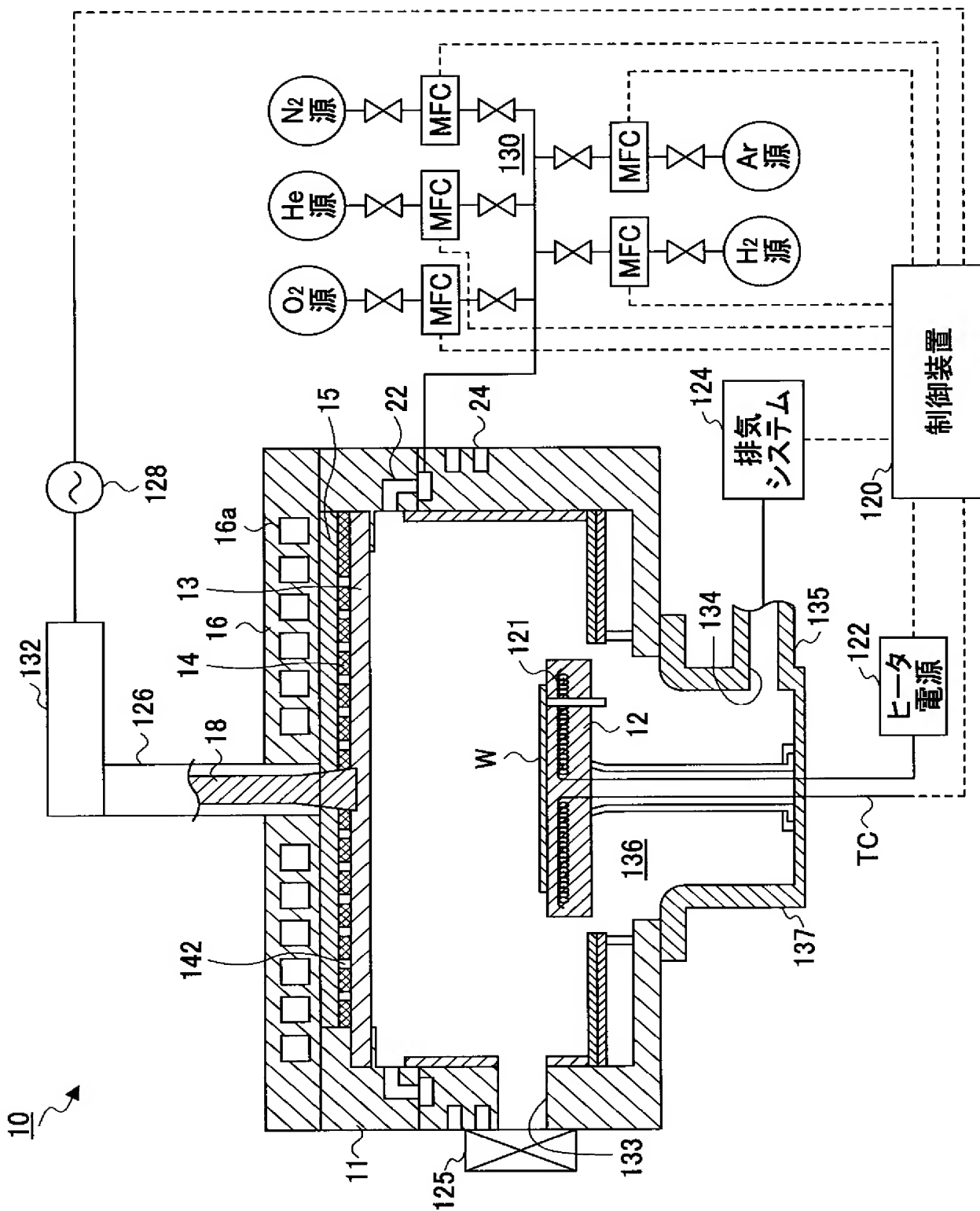
- [1] 反応室内に置かれた半導体基板上の導電層表面を清浄化する方法であって、  
前記反応室内で水素を含むプラズマを発生させ、前記導電層表面をこのプラズマによって還元しながら清浄化することを特徴とする、半導体基板導電層表面の清浄化方法。
- [2] 前記導電層表面上に存在する残渣有機物を前記プラズマによってアッシングすることを特徴とする、請求項1に記載の半導体基板導電層表面の清浄化方法。
- [3] 前記導電層表面上に絶縁膜が形成され、前記絶縁膜には前記導電層の一部を露出させるビアホールが形成されており、前記ビアホール底部に露出している導電層表面を前記プラズマによって清浄化することを特徴とする、請求項1または2に記載の半導体基板導電層表面の清浄化方法。
- [4] 前記絶縁膜上にさらに上層絶縁膜が積層され、この上層絶縁膜には、前記ビアホールを露出する配線用溝が形成されており、  
前記上層絶縁膜の形成後に、露出した導電層表面を前記プラズマによって清浄化することを特徴とする、請求項3に記載の半導体基板導電層表面の清浄化方法。
- [5] 前記の清浄化する工程は、低電子温度の高密度プラズマ処理によって行うことを特徴とする、請求項1に記載の半導体基板導電層表面の清浄化方法。
- [6] 前記高密度プラズマ処理は、マイクロ波に基づいて前記反応容器内に均一な電界を分布させて高密度プラズマを発生させて行うことを特徴とする、請求項5に記載の半導体基板導電層表面の清浄化方法。
- [7] 前記高密度プラズマ処理は、水素とヘリウムとを含む混合ガスの雰囲気下で行われ、水素に対するヘリウムの比率が0.005〜20に選ばれることを特徴とする、請求項6に記載の半導体基板導電層表面の清浄化方法。
- [8] 前記の水素を含むプラズマは、Arガスを含むプラズマであることを特徴とする、請求項1に記載の半導体基板導電層表面の清浄化方法。
- [9] 前記の水素を含むプラズマは、ArガスとHeガスを含むプラズマであることを特徴とする、請求項1に記載の半導体基板導電層表面の清浄化方法。
- [10] 前記の水素を含むプラズマは、Heガスを含むプラズマであることを特徴とする、請

求項1に記載の半導体基板導電層表面の清浄化方法。

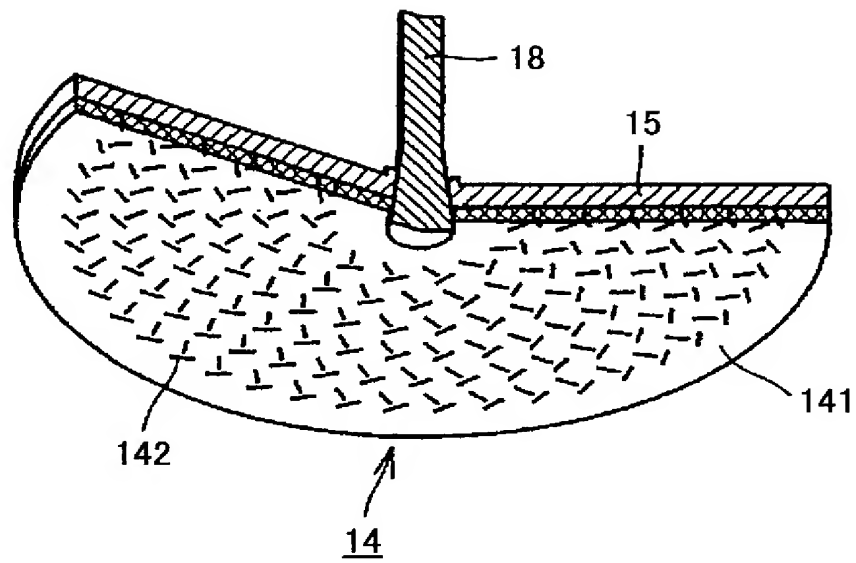
- [11] 前記プラズマの密度が $10^{10}$ 〜 $10^{13}$  /  $\text{cm}^3$ であることを特徴とする、請求項1に記載の半導体基板導電層表面の清浄化方法。
- [12] 前記プラズマの電子温度が0.7〜3eVであることを特徴とする、請求項1に記載の半導体基板導電層表面の清浄化方法。
- [13] 前記プラズマは平面アンテナを用いて発生させたプラズマであることを特徴とする、請求項6に記載の半導体基板導電層表面の清浄化方法。
- [14] 前記プラズマは誘導結合プラズマ又はマグネトロンプラズマであることを特徴とする、請求項5に記載の半導体基板導電層表面の清浄化方法。
- [15] 反応室内に置かれた半導体基板上の導電層表面を清浄化する方法であり、  
前記反応室内で水素を含むプラズマを発生させるステップ;及び  
前記導電層表面をこのプラズマによって還元しながら清浄化するステップ;  
を有する清浄化方法を実行するソフトウェアを記憶した記憶媒体。
- [16] 前記導電層表面上に存在する残渣有機物を前記プラズマによってアッシングすることを特徴とする、請求項15に記載の記憶媒体。
- [17] 前記導電層表面上に絶縁膜が形成され、前記絶縁膜には前記導電層の一部を露出させるビアホールが形成されており、前記ビアホール底部に露出している導電層表面を前記プラズマによって清浄化することを特徴とする、請求項15または16に記載の記憶媒体。
- [18] 前記絶縁膜上にさらに上層絶縁膜が積層され、この上層絶縁膜には、前記ビアホールを露出する配線用溝が形成されており、  
前記上層絶縁膜の形成後に、露出した導電層表面を前記プラズマによって清浄化することを特徴とする、請求項17に記載の記憶媒体。
- [19] 前記の清浄化する工程は、低電子温度の高密度プラズマ処理によって行うことを特徴とする、請求項15に記載の記憶媒体。
- [20] 前記高密度プラズマ処理は、マイクロ波に基づいて前記反応容器内に均一な電界を分布させて高密度プラズマを発生させて行うことを特徴とする、請求項19に記載の記憶媒体。

- [21] 前記高密度プラズマ処理は、水素とヘリウムとを含む混合ガスの雰囲気下で行われ、水素に対するヘリウムの比率が0.005〜20に選ばれることを特徴とする、請求項20に記載の記憶媒体。

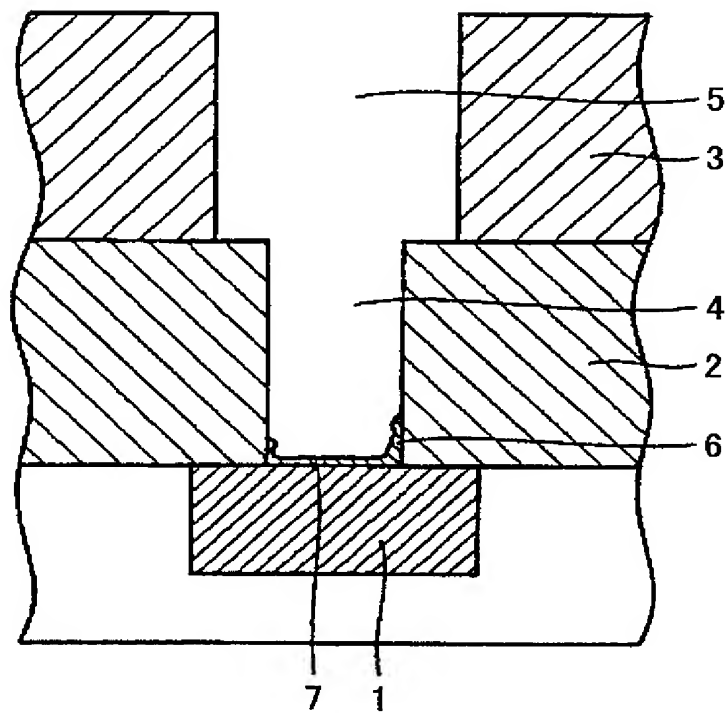
[図1]



[図2]

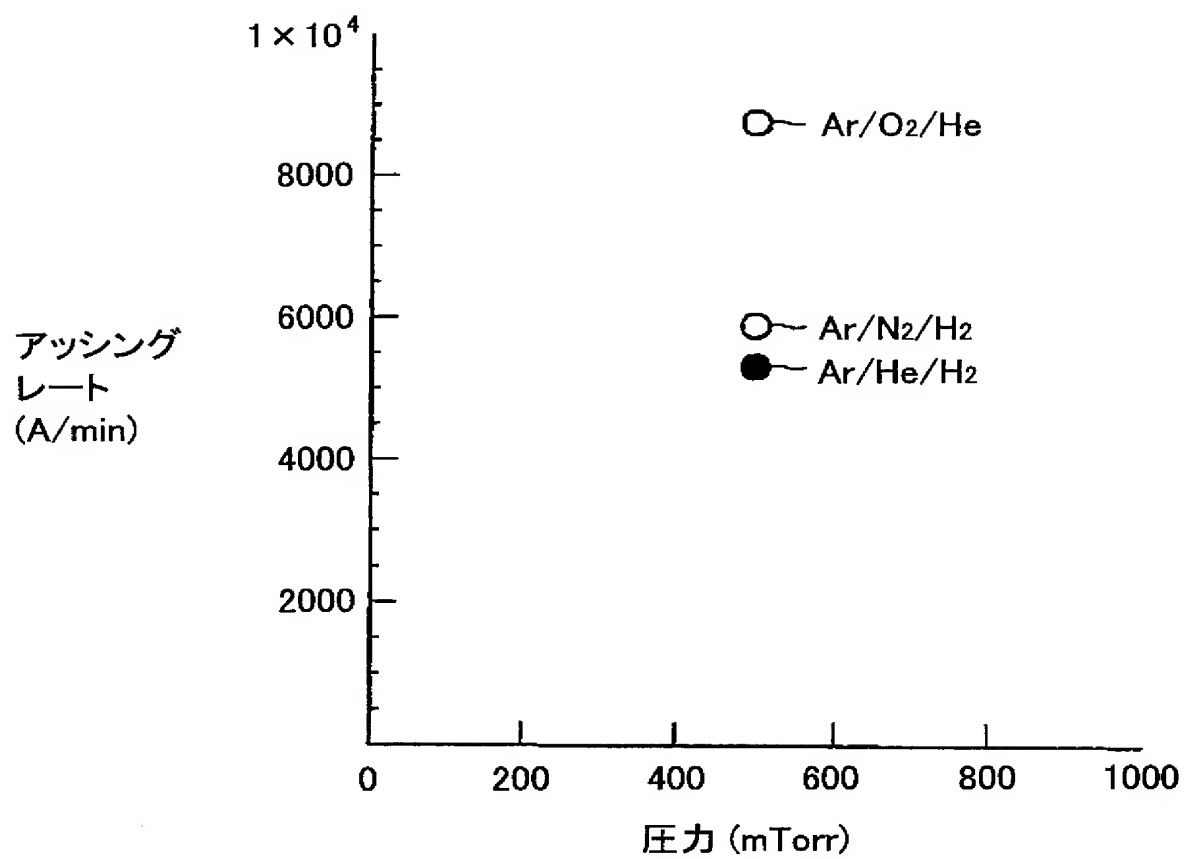


[図3]

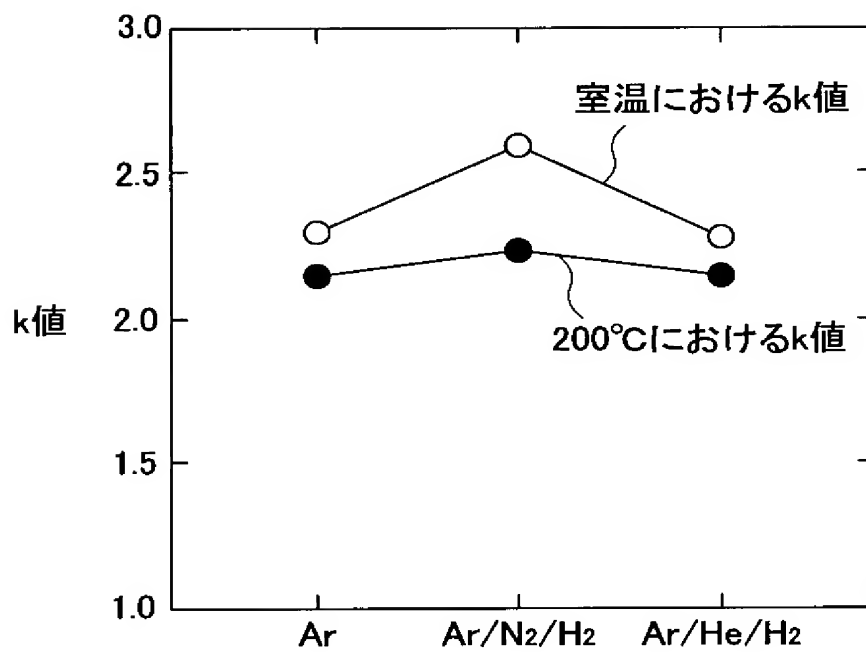




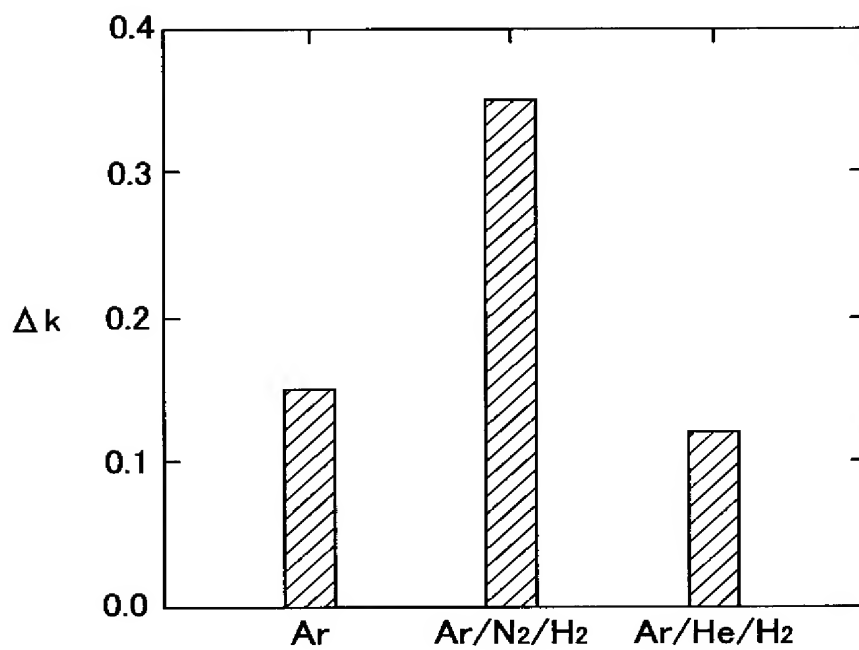
[図4]



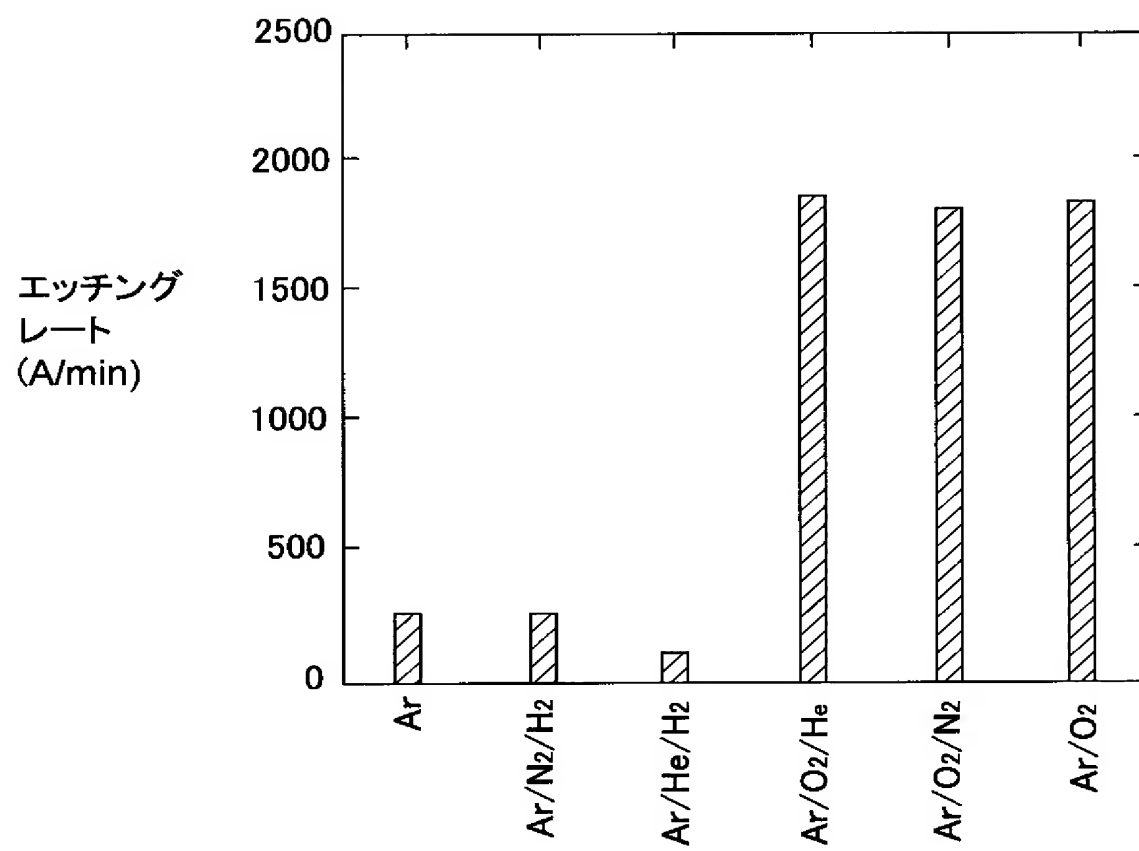
[図5A]



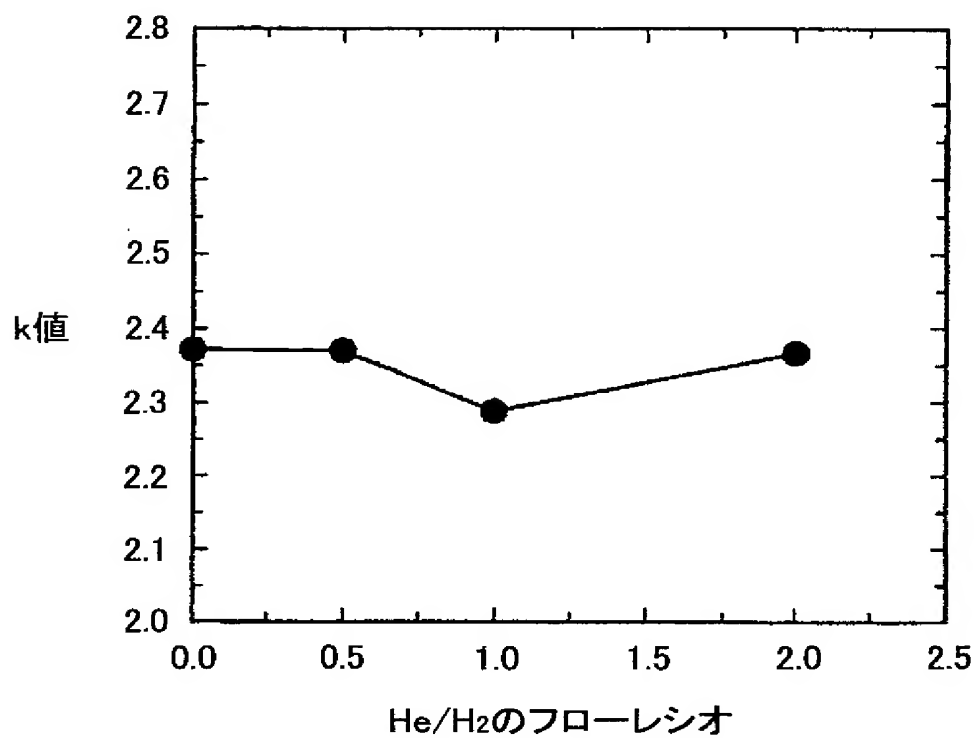
[図5B]



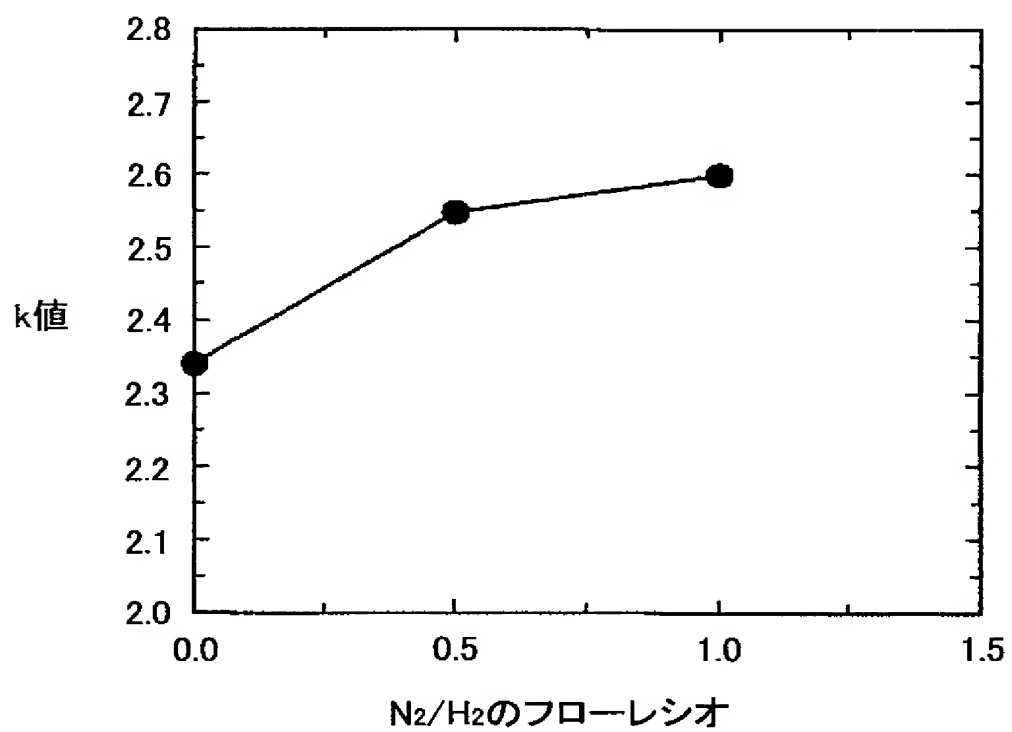
[図6]



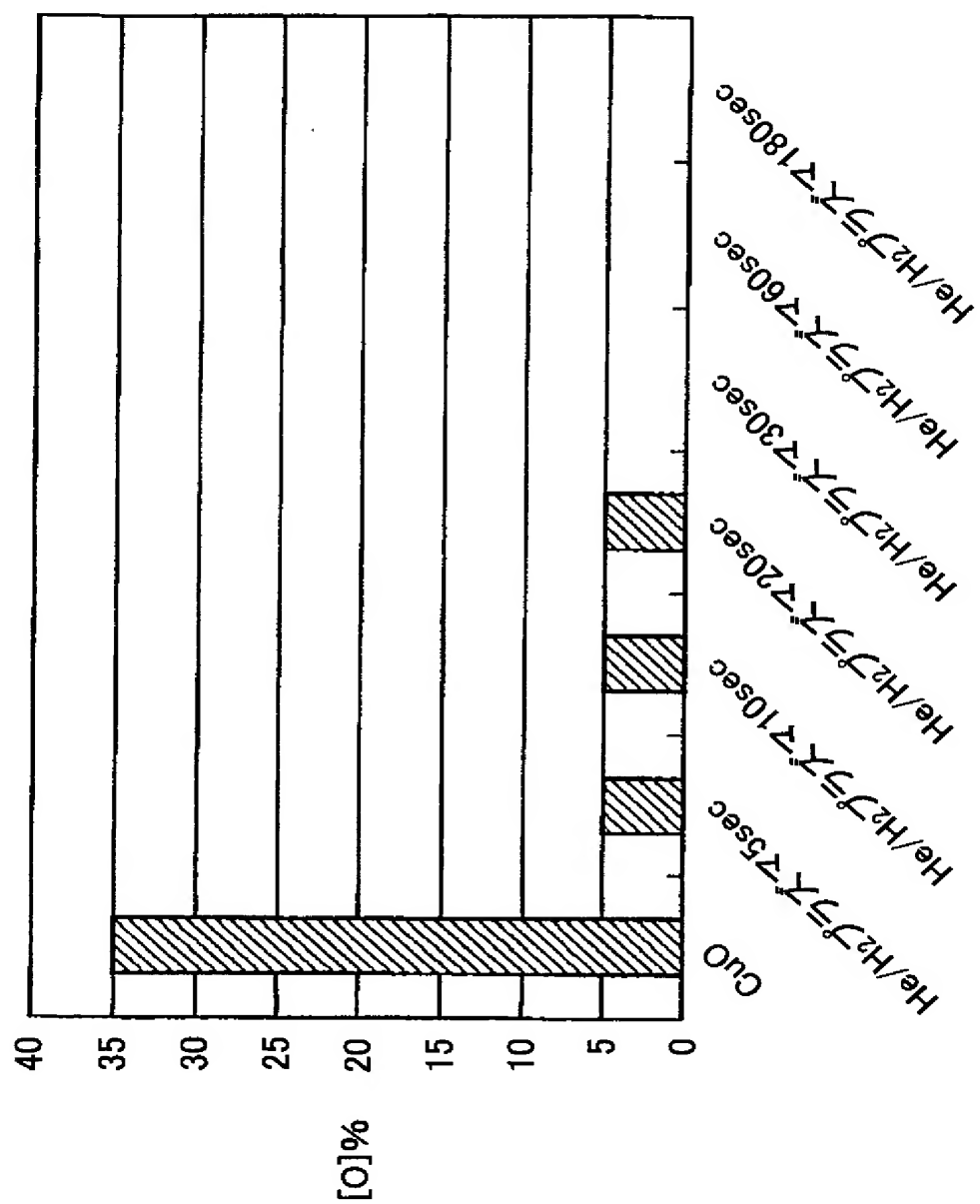
[図7]



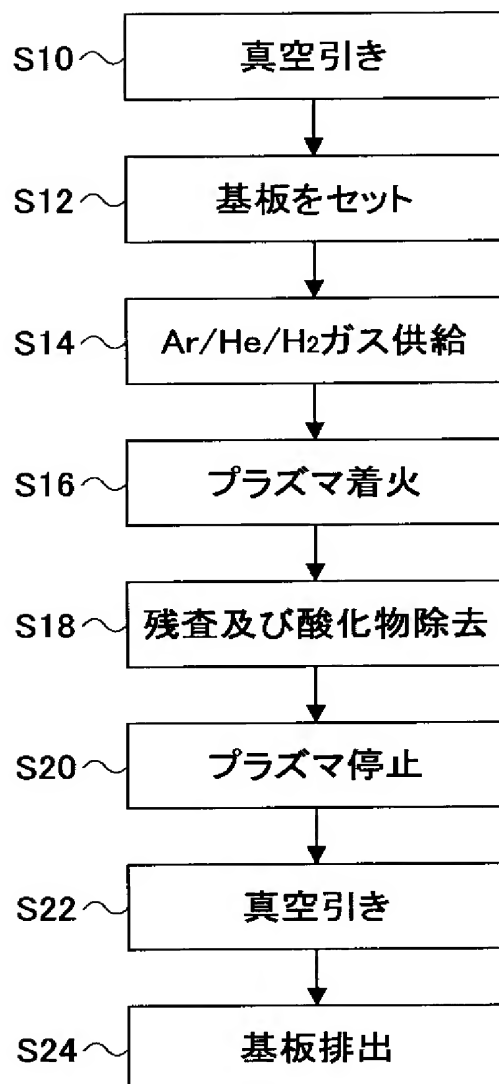
[図8]



[図9]



[図10]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018066

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L21/3065

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/3065, H01L21/205, H01L21/90

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-224185 A (Matsushita Electric Industrial Co., Ltd.), 08 August, 2003 (08.08.03), Par. Nos. [0020] to [0082]; Figs. 1 to 6 (Family: none)	1, 3-15, 17-21
X	JP 2003-258090 A (Fujitsu Ltd.), 12 September, 2003 (12.09.03), Par. Nos. [0025] to [0108]; Figs. 1 to 23 & WO 2003/073498 A1	1-4, 15-18
X	JP 2001-203194 A (APPLIED MATERIALS, INC.), 27 July, 2001 (27.07.01), Par. Nos. [0006] to [0047]; Figs. 1 to 3 & US 2002/106908 A1 & EP 1081750 A2	1, 3-5, 10-12, 14, 15-19



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
08 February, 2005 (08.02.05)

Date of mailing of the international search report  
22 February, 2005 (22.02.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H01L21/3065

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H01L21/3065, H01L21/205, H01L21/90

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2005年  
 日本国登録実用新案公報 1994-2005年  
 日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-224185 A (松下電器産業株式会社) 2003.08.08, 段落【0020】 - 【0082】, 第1-6図 (ファミリーなし)	1, 3-15, 17-21
X	JP 2003-258090 A (富士通株式会社) 2003.09.12, 段落【0025】 - 【0108】, 第1-23図 & WO 2003/073498 A1	1-4, 15-18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

08.02.2005

国際調査報告の発送日

22.2.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 拓也

4R

3339

電話番号 03-3581-1101 内線 3469

様式PCT/ISA/210 (第2ページの続き) (2004年1月)